

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

APPLICANT: KWANG HO YOON )  
 ) Group Art Unit: NYA  
FOR: FREQUENCY CONVERTER USING )  
MULTI-PHASE MIXER ) Examiner: NYA

CLAIM FOR PRIORITY

Mail Stop Patent Application  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Commissioner:

Enclosed herewith is a certified copy of Korean Patent Application No. 2003-0047052 filed on July 11, 2003. The enclosed Applications are directed to the invention disclosed and claimed in the above-identified application.

Applicants hereby claim the benefit of the filing date of July 11, 2003, of the Korean Patent Application No. 2003-0047052, under provisions of 35 U.S.C. 119 and the International Convention for the protection of Industrial Property.

Respectfully submitted,

CANTOR COLBURN LLP

By: 

David A. Fox  
Reg. No. 38, 807  
Cantor Colburn LLP  
55 Griffin Road South  
Bloomfield, CT 06002  
Telephone: (860) 286-2929  
Fax: (860) 286-0115  
PTO Customer No. 23413

Date: October 6, 2003



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2003-0047052  
Application Number

출원년월일 : 2003년 07월 11일  
Date of Application JUL 11, 2003

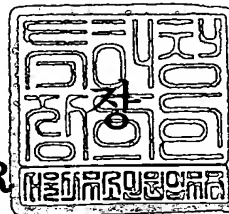
출원인 : 윤광호  
Applicant(s) YOON, Kwang Ho



2003      년      08      월      19      일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.07.11
【국제특허분류】	H03D
【발명의 명칭】	다중 위상 믹서를 이용한 주파수 변환기
【발명의 영문명칭】	Frequency Converter having Multi-Phase Mixer
【출원인】	
【성명】	윤광호
【출원인코드】	4-2003-024221-1
【대리인】	
【성명】	곽덕영
【대리인코드】	9-1998-000630-5
【포괄위임등록번호】	2003-044013-9
【발명자】	
【성명】	윤광호
【출원인코드】	4-2003-024221-1
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 곽덕영 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	14 면 14,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	7 항 333,000 원
【합계】	376,000 원
【감면사유】	개인 (70%감면)
【감면후 수수료】	112,800 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

다중 위상 믹서를 이용한 주파수 변환기가 제시된다. 본 발명의 주파수 변환기는 오실레이터와 무선통신신호의 주파수를 하향 변조시켜 변조출력신호를 제공하는 믹서를 구비한다. 믹서는 무선통신신호에 응답하는 입력부와 클락신호들에 응답하여 전류량을 제어하고, 궁극적으로 상기 변조출력신호를 발생시키는 상기 드라이빙부를 구비한다. 상기와 같은 다중 위상 믹서를 이용한 주파수 변환기에 의하면, 상대적으로 낮은 주파수를 가지는 클락신호에 대해서도, 수신되는 무선통신신호의 주파수를 현저히 하향시켜, 직류에 가까운 주파수를 가지는 출력신호를 생성할 수 있다. 따라서, 본 발명의 주파수 변환기는 상대적으로 비용과 소모 전력면에서 잇점이 있는 CMOS 기술로도 구현이 가능하다.

**【대표도】**

도 4

**【명세서】****【발명의 명칭】**

다중 위상 믹서를 이용한 주파수 변환기{Frequency Converter having Multi-Phase Mixer}

**【도면의 간단한 설명】**

본 발명의 상세한 설명에서 사용되는 도면을 보다 충분히 이해하기 위하여, 각 도면의 간단한 설명이 제공된다.

도 1은 종래기술에 따른 주파수 변환기의 회로 다이어그램이다.

도 2는 도 1의 주파수 변환기의 동작 타이밍도이다.

도 3a는 본 발명의 일실시예에 따른 주파수 변환기를 나타내는 블록 다이어그램이며, 도 3b는 도 3a의 주파수 변환기의 회로 다이어그램이다.

도 4는 도 3a 및 도 3b에 도시되는 주파수 변환기의 동작 타이밍도이다.

도 5a는 본 발명의 다른 일실시예에 따른 주파수 변환기를 나타내는 블록 다이어그램이며, 도 5b는 도 5a의 주파수 변환기의 회로 다이어그램이다.

도 6a는 본 발명의 또 다른 일실시예에 따른 주파수 변환기를 나타내는 블록 다이어그램이며, 도 6b는 도 6a의 주파수 변환기의 회로 다이어그램이다.

도 7은 도 6b의 실시예를 다른 형태로 나타내는 회로 다이어그램이다.

도 8a는 본 발명의 또 다른 일실시예에 따른 주파수 변환기를 나타내는 블록 다이어그램이며, 도 8b는 도 8a의 믹서를 나타내는 회로 다이어그램이다.

**【발명의 상세한 설명】**

**【발명의 목적】**

**【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <10> 본 발명은 주파수 변환기에 관한 것으로서, 특히 다중 위상 믹서를 가지는 주파수 변환기에 관한 것이다.
- <11> 라디오 주파수(RF) 통신시스템은 PCS통신 및 IMT시스템 등과 같은 다양한 통신분야에 응용된다. 일반적으로, RF 통신시스템은 RF 전단(front-end)블락과 베이스-밴드(base-band) DSP(digital signal processing)블락으로 이루어진다. 현재의 기술수준에서, 베이스-밴드 DSP블락은 저비용 및 저전력 기술로 구현이 가능하다.
- <12> 한편, RF 전단(front-end)블락에는, 입력되는 무선통신신호의 주파수를 상향 또는 하향 변조시켜 출력신호로 발생하는 주파수 변환기가 포함된다. 도 1에 도시되는 회로는 종래의 주파수 변환기로 알려져 있는 것이다. 그리고, 도 2는 도 1의 주파수 변환기의 동작 타이밍도이다. 도 1의 주파수 변환기에서, 입력되는 무선통신신호(RF)는 믹서(20)의 트랜지스터(21)를 게이팅하여 한쪽 접합노드(N22)에서 신호 전류의 형태로 출력된다. 그리고, 오실레이터(10)로부터 발생하는 발진신호(LO)와 반전 발진신호(LOB)는, 각각 트랜지스터(23)과 트랜지스터(24)를 게이팅하여 교대로 도전상태 및 비도전상태로 변환시킨다. 그러므로, 믹서(20)는 트랜지스터(21)의 접합노드(N22)에서 양출력단(VOUT+)과 음

출력단(VOUT-)으로 출력되는 신호를, 도 2에 도시되는 바와 같이, 반주기( $T/2$ )마다 교대시킬 수 있다.

<13> 따라서, 주파수-변환된 출력 전류가 트랜지스터들(23,24)에서 출력되고, 로드 회로(27)내에서 전압으로 전송된다. 이렇게 발생하는 상기 양출력단(VOUT+)와 음출력단(VOUT-)의 전압차는 변조출력신호(VOUT)를 생성한다. 그리고, 상기 변조출력신호(VOUT)의 주파수는 상기 무선통신신호(RF)에 대하여 상향(上向) 또는 하향(下向)되며, 그 크기는 상기 발진신호(L0)의 주파수에 의하여 결정된다. 상기 양출력단(VOUT+)과 음출력단(VOUT-)으로 출력되는 신호에는, 무선통신신호(RF)와 상기 발진신호(L0)의 성분이 혼재한다.

<14> 한편, 상기 입력되는 고주파의 무선통신신호(RF)를 직류(DC)에 가깝게 하향 주파수 변환하기 위해서는, 상기 발진신호(L0) 및 반전 발진신호(LOB)가 상기 무선통신신호(RF)에 가까운 고주파수( $f_0$ )로 동작하여야 한다.

<15> 그런데, 최근의 블루투스(Bluetooth) 및 CDMA(code division multiple access) 시스템과 같은 무선 통신 시스템은 2GHz 이상의 주파수에서 동작하며, 어떠한 무선 LAN 표준은 5GHz 이상의 주파수에서 동작한다. 이와 같이 고주파로 동작하는 표준에 대하여, 상대적으로 속도 및 노이즈에서 한계를 가지는 CMOS 제조 공정을 사용하여, 싱글-칩 상에 오실레이터와 믹서를 포함하는 주파수 변환기를 설계하는 것은 매우 어려운 작업이다. 그러므로, 주파수 변환기를 포함하는 RF 전단(front-end) 블록은 바이폴라(bipolar) 또는 바이(bi)-CMOS 기술을 사용하여 구현된다. 하지만, 이와 같은 바이-CMOS 기술은 CMOS 기술보다 비용이 높으며 전력소모가 큰 문제점을 가진다.

**【발명이 이루고자 하는 기술적 과제】**

<16> 따라서, 본 발명의 목적은 종래기술의 문제점을 해결하기 위한 것으로서, 상대적으로 낮은 주파수를 가지는 발진신호를 이용하면서도, 수신되는 무선통신신호의 주파수를 현저히 하향시켜, 직류에 가까운 주파수를 가지는 출력신호를 생성할 수 있는 주파수 변환기를 제공하는 데 있다.

**【발명의 구성 및 작용】**

<17> 상기와 같은 기술적 과제를 달성하기 위한 본 발명의 일면은 주파수 변환기에 관한 것이다. 본 발명의 주파수 변환기는 소정의 발진주파수를 가지며, 순차적으로 위상이 쉬프트되는 제1 내지 제N(여기서; N은 3이상인 정수) 클락신호들을 발생하는 오실레이터로서, 상기 제i(여기서, i는 1 내지 N 중의 어느 하나) 클락신호는 제i 발진신호와 상기 제i 발진신호에 대하여 반전된 위상을 가지는 제i 반전 발진신호를 포함하는 상기 오실레이터; 및 소정의 무선통신신호를 수신하는 믹서로서, 상기 제1 내지 제N 클락신호를 이용하여, 상기 무선통신신호의 주파수를 하향 변조시켜 변조출력신호를 제공하는 상기 믹서를 구비한다. 상기 믹서는 소정의 전원전압과 양출력단 사이에 형성되는 제1 로드소자와, 상기 전원전압과 음출력단 사이에 형성되는 제2 로드소자를 가지는 로드부로서, 상기 양출력단과 상기 음출력단으로 제공되는 신호의 전압차에 의하여 상기 변조출력신호가 발생하는 상기 로드부; 상기 무선통신신호에 응답하는 입력부; 및 상기 입력부에 커플링되는 드라이빙부로서, 상기 제1 내지 제N 클락신호들에 응답하여 상기 제1 및 제2 로드소자에 흐르는 전류량을 제어하고, 궁극적으로 상기 변조출력신호를 발생시키는 상기 드라이빙부를 구비한다.



- <18> 본 발명과 본 발명의 동작상의 잇점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.
- <19> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 대하여, 동일한 참조부호는 동일한 부재임을 나타낸다.
- <20> 도 3a는 본 발명의 일실시예에 따른 주파수 변환기를 나타내는 블록 다이어그램이며, 도 3b는 도 3a의 주파수 변환기의 회로 다이어그램이다. 도 3a 및 도 3b를 참조하면, 본 발명의 주파수 변환기는 오실레이터(100)와 믹서(200)를 포함한다. 상기 오실레이터(100)는 제1 내지 제3 발진신호(L01~L03)와 제1 내지 제3 반전 발진신호(LOB1~LOB3)를 생성한다. 이때, 제1 내지 제3 발진신호(L01~L03)는 도 1에 도시되는 종래기술에서의 발진신호의 주파수에 대하여 약 1/3 정도의 발진주파수( $f_o/3$ )를 가지며, 순차적으로 위상이 쉬프트된다. 상기 제1 내지 제3 반전 발진신호(LOB1~LOB3)는 상기 제1 내지 제3 발진신호(L01~L03)에 대하여, 위상이 반전된 신호이다. 그리고, 본 명세서에서는, 상기 제1 내지 제3 발진신호(L01~L03)와 제1 내지 제3 반전 발진신호(LOB1~LOB3) 각각의 쌍을 '제1 내지 제3 클락신호'라 칭한다.
- <21> 상기 믹서(200)는 소정의 무선통신신호(RF)를 수신한다. 그리고, 상기 믹서(200)는 상기 제1 내지 제3 클락신호를 이용하여, 수신되는 상기 무선통신신호(RF)의 주파수를 하향 변조시켜 변조출력신호(VOUT)를 제공한다. 도 3a 및 도 3b에서, 상기 변조출력신호(VOUT)는 미도시되었지만, 양출력단(VOUT+)과 음출력단(VOUT-)으로 제공되는 신호의 전압차에 따른 신호를 나타낸다.

- <22>        상기 믹서(200)는 구체적으로 로드부(210), 드라이빙부(230) 및 입력부(260)를 구비한다. 상기 로드부(210)는 전원전압(VDD)과 양출력단(VOUT+) 사이에 형성되는 제1 로드소자(R1) 및 전원전압(VDD)과 음출력단(VOUT-) 사이에 형성되는 제2 로드소자(R2)를 포함한다. 바람직한 실시예에 의하면, 상기 제1 로드소자(R1)와 상기 제2 로드소자(R2)는 저항으로 구현된다.
- <23>        상기 입력부(260)는 상기 무선통신신호(RF)에 응답한다. 더욱 구체적으로, 상기 입력부(260)는 상기 무선통신신호(RF)에 의하여 게이팅되는 제1 내지 제3 소스단(261 내지 263)을 포함한다.
- <24>        상기 드라이빙부(230)는 상기 입력부(260)에 커플링된다. 그리고, 상기 드라이빙부(230)는 상기 제1 내지 제3 클락신호 즉, 상기 제1 내지 제3 발진신호(L01~L03)와 제1 내지 제3 반전 발진신호(LOB1~LOB3)에 응답하여 상기 제1 및 제2 로드소자(R1, R2)에 흐르는 전류량(IR1, IR2)을 제어하며, 궁극적으로 상기 변조출력신호(VOUT)를 발생시킨다.
- <25>        상기 드라이빙부(230)는 더욱 구체적으로 상기 제1 내지 제3 소스단(261 내지 263)에 각각 커플링되는 제1 내지 제3 드라이빙단(231 내지 233)을 구비한다. 상기 제1 내지 제3 드라이빙단(231 내지 233) 각각은 제1 트랜지스터(231a 내지 233a)와 제2 트랜지스터(231b 내지 233b)를 포함한다. 상기 제1 트랜지스터(231a 내지 233a)는 각각의 발진신호(L01 내지 L03)에 의해 게이팅되며, 상기 제2 트랜지스터(231b 내지 233b)는 각각의 반전 발진신호(LOB1 내지 LOB3)에 의해 게이팅된다. 상기 제1 트랜지스터(231a 내지 233a)와 제2 트랜지스터(231b 내지 233b)의 일측 접합은 각각의 소스단(261 내지 263)에 연결되어 제어된다.

- <26> 그리고, 상기 제1 트랜지스터(231a 내지 233a)와 제2 트랜지스터(231b 내지 233b)의 다른 일측 접합은 상기 양출력단(VOUT+)과 상기 음출력단(VOUT-) 중의 어느 하나에 전기적으로 연결되되, 앞의 드라이빙단에 대하여 반대로 연결된다. 이를 구체적으로 기술하면, 다음과 같다.
- <27> 먼저, 제1 드라이빙단(231)의 제1 트랜지스터(231a)는 상기 제1 소스단(261)과 상기 양출력단(VOUT+) 사이에 형성되며, 상기 제2 트랜지스터(231b)는 상기 제1 소스단(261)과 상기 음출력단(VOUT-) 사이에 형성된다.
- <28> 제2 드라이빙단(232)의 제1 트랜지스터(232a)는 상기 제2 소스단(262)과 상기 음출력단(VOUT-) 사이에 형성되며, 상기 제2 트랜지스터(232b)는 상기 제2 소스단(262)과 상기 양출력단(VOUT+) 사이에 형성된다.
- <29> 또한, 제3 드라이빙단(233)의 제1 트랜지스터(233a)는 상기 제3 소스단(263)과 상기 양출력단(VOUT+) 사이에 형성되며, 상기 제2 트랜지스터(233b)는 상기 제3 소스단(263)과 상기 음출력단(VOUT-) 사이에 형성된다.
- <30> 바람직하기로는, 상기 제1 트랜지스터(231a 내지 233a)와 상기 제2 트랜지스터(231b 내지 233b)는 모두 동일한 전기적 특성을 가진다.
- <31> 도 4는 도 3a 및 도 3b에 도시되는 다중 위상 믹서를 이용한 주파수 변환기의 동작 타이밍도이다. 도 3a 내지 도 4를 참조하여, 본 발명의 주파수 변환기의 작용이 기술된다. 전술한 바와 같이, 상기 오실레이터(100)로부터 생성되는 발진신호(L01~L03)와 반전 발진신호(LOB1~LOB3)의 발진주파수는 종래기술에서의 발진신호(L0, 도 1 참조)의 발진주파수에 대하여  $1/3$ 인  $f_0/3$ 이며, 주기( $T'$ )는 종래기술의 주기( $T$ )에 대해서는 3배인  $3T$

이다. 그리고, 상기 발진신호(L01~L03)와 반전 발진신호(LOB1~LOB3)는 위상이 주기(T')의 1/6씩 즉, T/2씩 쉬프트되어 있다.

<32> 구간 T1에서는 제1 발진신호(L01)은 논리 '하이(high)'이며, 제2 발진신호(L02)와 제3 발진신호(L03)는 논리 '로우(low)'이다. 따라서, 제1 드라이빙단(231)의 제1 트랜지스터(231a), 제2 드라이빙단(232)의 제2 트랜지스터(232b), 제3 드라이빙단(233)의 제2 트랜지스터(233b)가 "턴온"된다. 결과적으로, 상기 양출력단(VOUT+)과 연결되는 2개의 트랜지스터(231a, 232b)와, 상기 음출력단(VOUT-)과 연결되는 1개의 트랜지스터(233b)가 "턴온"되게 된다. 그러므로, 제1 로드소자(R1)을 통하여 흐르는 전류량(IR1)은 제2 로드소자(R2)을 통하여 흐르는 전류량(IR2)보다 크게 된다.

<33> 한편, 주기(T)가 쉬프트되는 구간 T2에서는, 제1 발진신호(L01)와 제2 발진신호(L02)는 논리 '하이(high)'이며, 제3 발진신호(L03)는 논리 '로우(low)'이다. 따라서, 제1 드라이빙단(231)의 제1 트랜지스터(231a), 제2 드라이빙단(232)의 제1 트랜지스터(232a), 제3 드라이빙단(233)의 제2 트랜지스터(233b)가 "턴온"된다. 결과적으로, 상기 양출력단(VOUT+)과 연결되는 1개의 트랜지스터(231a)와, 상기 음출력단(VOUT-)과 연결되는 2개의 트랜지스터(232a, 233b)가 "턴온"되게 된다. 그러므로, 제1 로드소자(R1)을 통하여 흐르는 전류량(IR1)은 제2 로드소자(R2)을 통하여 흐르는 전류량(IR2)보다 작게 된다.

<34> 계속하여, 구간 T3에서는 제1 내지 제3 발진신호(L01 내지 L03) 모두 논리 '하이(high)'이다. 따라서, 제1 내지 제3 드라이빙단(231 내지 233)의 제1 트랜지스터들(231a 내지 233a)이 "턴온"된다. 결과적으로, 상기 양출력단(VOUT+)과 연결되는 2개의 트랜지스터(231a, 233a)와, 상기 음출력단(VOUT-)과 연결되는 1개의 트랜지스터(232a)가

"턴온"되게 된다. 그러므로, 제1 로드소자(R1)을 통하여 흐르는 전류량(IR1)은 제2 로드소자(R2)을 통하여 흐르는 전류량(IR2)보다 크게 된다.

<35> 이와 같은 방법으로, 구간 T1, T3, T5, T7, ...에서는, 제1 로드소자(R1)을 통하여 흐르는 전류량(IR1)은 제2 로드소자(R2)을 통하여 흐르는 전류량(IR2)보다 크게 되며, 구간 T2, T4, T6, ...에서는, 제1 로드소자(R1)을 통하여 흐르는 전류량(IR1)은 제2 로드소자(R2)을 통하여 흐르는 전류량(IR2)보다 작게 된다.

<36> 그러므로, 상기 양출력단(VOUT+)와 음출력단(VOUT-) 사이의 전압차로 인하여 생성되는 상기 변조출력신호(VOUT)는 종래기술에서와 마찬가지로 T의 주기를 가지는 신호가 된다. 즉, 본 발명의 다중 위상 믹서를 이용한 주파수 변환기에서는, 종래기술의 1/3의 주파수( $f_o/3$ )를 가지는 발진신호를 이용함에도 불구하고, 종래기술에서  $f_o$ 의 주파수를 가지는 발진신호를 이용하는 경우와 동일한 작용효과를 얻을 수 있다.

<37> 도 5a는 본 발명의 다른 일실시예에 따른 주파수 변환기를 나타내는 블록 다이어그램이며, 도 5b는 도 5a의 주파수 변환기의 회로 다이어그램이다. 도 5a 및 도 5b를 참조하면, 오실레이터(300)에서 N개의 발진신호(L01~L0N)와 N개의 반전 발진신호(LOB1~LOBN)가 생성된다. 이때, 상기 발진신호(L01~L0N)와 상기 반전 발진신호(LOB1~LOBN)의 주파수는  $f_o/N$ 이며,  $T'/2N$  씩 쉬프트된 위상을 가진다. 그리고, 상기 입력부(460)은 N개의 소스단(461, 462, ...)을 가지며, 상기 드라이빙부(430)는 N개의 드라이빙단(431, 432, ...)을 가진다. 도 5a 및 도 5b에 도시되는 주파수 변환기는, 도 3a 및 도 3b에 도시되는 실시예를 확장한 실시예이며, 그 구성 및 작용효과는 당업자에게는 자명하므로, 그 구체적인 기술은 생략된다.

- <38> 도 5a 및 도 5b에 도시되는 주파수 변환기에 의하면, 종래기술의  $1/N$ 의 주파수 ( $f_0/N$ )를 가지는 발진신호를 이용함에도 불구하고, 종래기술에서  $f_0$ 의 주파수를 가지는 발진신호를 이용하는 경우와 동일한 작용효과를 얻음을 알 수 있다.
- <39> 한편, 본 발명의 주파수 변환기에서, 상기  $N$ 이 3이상으로 확장 가능하다. 그러나, 회로 구현의 용이성 등을 고려할 때,  $N$ 이 3일때 가장 효과적이다.
- <40> 도 6a는 본 발명의 또 다른 일실시예에 따른 주파수 변환기를 나타내는 블록 다이어그램이며, 도 6b는 도 6a의 주파수 변환기의 회로 다이어그램이다. 도 6a 및 도 6b는 도 3a 및 도 3b에 도시되는 실시예의 변형 실시예이다. 즉, 도 3a 및 도 3b에 도시되는 실시예는 싱글-평형 주파수 변환기인 반면에, 도 6a 및 도 6b에 도시되는 실시예는 더블-평형 주파수 변환기이다.
- <41> 도 6a 및 도 6b의 실시예도, 도 3a 및 도 3b의 실시예와 마찬가지로, 오실레이터 (500) 및 믹서(600)를 구비한다. 도 6a 및 도 6b의 오실레이터(500)는 도 3a 및 도 3b의 오실레이터(100)와 동일하게 구현된다. 그리고, 상기 믹서(600)도 로드부(610), 드라이브부(630) 및 입력부(660)를 구비한다. 도 6a 및 도 6b의 로드부(610)는 도 3a 및 도 3b의 로드부(210)와 동일하게 구현된다.
- <42> 상기 입력부(660)는 상기 무선통신신호(RF+)에 응답하는 제1 내지 제3 양소스단 (671 내지 673)과 소정의 반전 무선통신신호(RF-)에 응답하는 제1 내지 제3 음소스단 (681 내지 683)을 포함한다. 상기 반전 무선통신신호(RF-)는 상기 무선통신신호(RF)에 대하여 반전되는 위상을 가진다. 그러므로, 상기 무선통신신호의 참조부호는 상기 반전 무선통신신호(RF-)의 참조부호를 고려하여, RF+로 나타내기도 한다.

- <43>       상기 드라이빙부(630)는 제1 내지 제3 플러스 드라이빙단(641 내지 643)과 제1 내지 제3 마이너스 드라이빙단(651 내지 653)을 포함한다. 상기 제1 내지 제3 플러스 드라이빙단(641 내지 643)은 도 3b의 제1 내지 제3 드라이빙단(231 내지 233)과 동일하다. 즉, 상기 제1 내지 제3 플러스 드라이빙단(641 내지 643) 각각은 제1 트랜지스터(641a 내지 643a)와 제2 트랜지스터(641b 내지 643b)를 포함한다. 상기 제1 트랜지스터(641a 내지 643a)는 각각의 발진신호(L01 내지 L03)에 의해 게이팅되며, 상기 제2 트랜지스터(641b 내지 643b)는 각각의 반전 발진신호(LOB1 내지 LOB3)에 의해 게이팅된다. 상기 제1 트랜지스터(641a 내지 643a)와 제2 트랜지스터(641b 내지 643b)의 일측 접합은 각각의 양소스단(671 내지 673)에 연결되어 제어된다.
- <44>       상기 제1 트랜지스터(641a 내지 643a)와 제2 트랜지스터(641b 내지 643b)의 다른 일측 접합은 상기 양출력단(VOUT+)과 상기 음출력단(VOUT-) 중의 어느 하나에 전기적으로 연결되되, 앞의 플러스 드라이빙단에 대하여 반대로 연결된다.
- <45>       상기 제1 내지 제3 마이너스 드라이빙단(651 내지 653) 각각은 제3 트랜지스터(651a 내지 653a)와 제4 트랜지스터(651b 내지 653b)를 포함한다. 상기 제3 트랜지스터(651a 내지 653a)는 각각의 발진신호(L01 내지 L03)에 의해 게이팅되며, 상기 제4 트랜지스터(651b 내지 653b)는 각각의 반전 발진신호(LOB1 내지 LOB3)에 의해 게이팅된다. 상기 제3 트랜지스터(651a 내지 653a)와 제4 트랜지스터(651b 내지 653b)의 일측 접합은 각각의 음소스단(681 내지 683)에 연결되어 제어된다.
- <46>       상기 제3 트랜지스터(651a 내지 653a)와 제4 트랜지스터(651b 내지 653b)의 다른 일측 접합은 상기 양출력단(VOUT+)과 상기 음출력단(VOUT-) 중의 어느 하나에 전기적으로 연결되되, 앞의 마이너스 드라이빙단에 대하여 반대로 연결된다. 또한, 제1 내지 제3

마이너스 드라이빙단(651 내지 653)의 제3 트랜지스터(651a 내지 653a)와 제4 트랜지스터(651b 내지 653b)의 다른 일측 접합의 연결방식은, 제1 내지 제3 플러스 드라이빙단(641 내지 643)의 제1 트랜지스터(641a 내지 643a)와 제2 트랜지스터(641b 내지 643b)의 다른 일측 접합의 연결방식과 상반된다. 이를 구체적으로 기술하면, 다음과 같다.

<47> 먼저, 제1 마이너스 드라이빙단(651)의 제3 트랜지스터(651a)는 상기 제1 음소스단(681)과 상기 음출력단(VOUT-) 사이에 형성되며, 상기 제4 트랜지스터(651b)는 상기 제1 음소스단(681)과 상기 양출력단(VOUT+) 사이에 형성된다.

<48> 제2 마이너스 드라이빙단(652)의 제3 트랜지스터(652a)는 상기 제2 음소스단(682)과 상기 양출력단(VOUT+) 사이에 형성되며, 상기 제4 트랜지스터(652b)는 상기 제2 음소스단(682)과 상기 음출력단(VOUT-) 사이에 형성된다.

<49> 또한, 제3 마이너스 드라이빙단(653)의 제3 트랜지스터(653a)는 상기 제3 음소스단(683)과 상기 음출력단(VOUT-) 사이에 형성되며, 상기 제4 트랜지스터(653b)는 상기 제3 음소스단(683)과 상기 양출력단(VOUT+) 사이에 형성된다.

<50> 도 6a 및 도 6b에 도시되는 주파수 변환기의 구성 및 작용효과는, 도 3a 및 도 3b에 도시되는 실시예로부터 용이하게 이해될 수 있으므로, 그 구체적인 기술은 생략된다.

<51> 도 7은 도 6b의 실시예를 다른 형태로 나타내는 회로 다이어그램이다. 도 7은, 도 6b에서 동일한 발진신호(L01~L03) 및 반전 발진신호(LOB1~LOB3)에 의하여 제어되는 플러스 및 마이너스 드라이빙단을 나란히 도시하여 이해가 용이하도록 하였다.

<52> 도 6a 및 도 6b의 실시예와 도 7의 실시예에는 발진신호의 수가 3인 경우가 예로서 기술되었으나, 도 5a 및 도 5b의 경우와 마찬가지로 확장가능하다.



- <53> 도 8a는 본 발명의 또 다른 일실시예에 따른 주파수 변환기를 나타내는 블록 다이어그램이며, 도 8b는 도 8a의 믹서(800)를 나타내는 회로 다이어그램이다. 도 8a 및 도 8b는 도 3a 및 도 3b에 도시되는 실시예의 변형 실시예이다.
- <54> 도 8a의 실시예도, 도 3a의 실시예와 마찬가지로, 오실레이터(700) 및 믹서(800)를 구비한다. 도 8a의 오실레이터(700)는 도 3a의 오실레이터(100)와 동일하게 구현된다.
- <55> 도 8a 및 도 8b를 참조하면, 상기 믹서(800)도 로드부(810), 입력부(830) 및 드라이빙부(860)를 구비한다. 도 8a 및 도 8b의 로드부(810)는 도 3a 및 도 3b의 로드부(210)와 동일하게 구현된다.
- <56> 한편, 상기 입력부(830)는 래치구조로 형성되는 제1 내지 제4 입력 트랜지스터(830a 내지 830d)를 포함한다. 상기 제1 내지 제4 입력 트랜지스터(830a 내지 830d)의 구성을 구체적으로 기술하면, 다음과 같다.
- <57> 상기 제1 입력 트랜지스터(830a)는 수신되는 무선통신신호(RF+)에 의하여 게이팅되며, 양출력단(VOUT+)과 소정의 양보조단(P830) 사이에 형성된다. 상기 제2 입력 트랜지스터(830b)는 소정의 반전 무선통신신호(RF-)에 의하여 게이팅되며, 음출력단(VOUT-)과 상기 양보조단(P830) 사이에 형성된다. 한편, 상기 반전 무선통신신호(RF-)는, 전술한 바와 같이, 상기 무선통신신호(RF+)에 대하여 반전된 위상을 가진다.
- <58> 상기 제3 입력 트랜지스터(830c)는 상기 반전 무선통신신호(RF-)에 의하여 게이팅되며, 상기 양출력단(VOUT+)과 소정의 음보조단(M830) 사이에 형성된다. 그리고, 상기 제4 입력 트랜지스터(830d)는 상기 무선통신신호(RF+)에 의하여 게이팅되며, 음출력단(VOUT-)과 상기 음보조단(M830) 사이에 형성된다.

<59>       상기 드라이빙부(860)는 제1 내지 제3 드라이빙단(861 내지 863)을 포함한다. 상기 제1 내지 제3 드라이빙단(861 내지 863) 각각은 제1 드라이빙 트랜지스터(861a 내지 863a)와 제2 드라이빙 트랜지스터(861b 내지 863b)를 포함한다. 상기 제1 드라이빙 트랜지스터(861a 내지 863a)는 각각의 발진신호(L01 내지 L03)에 의해 게이팅되며, 상기 제2 드라이빙 트랜지스터(861b 내지 863b)는 각각의 반전 발진신호(LOB1 내지 LOB3)에 의해 게이팅된다. 상기 제1 드라이빙 트랜지스터(861a 내지 863a)와 제2 드라이빙 트랜지스터(861b 내지 863b)의 일측 접합은 접지전압(VSS)에 연결되어 제어된다. 한편, 본 발명의 변형예에서는, 상기 제1 내지 제3 드라이빙단 접지전압(VSS) 사이에 전류소스가 내장될 수 있다.

<60>       그리고, 상기 제1 드라이빙 트랜지스터(861a 내지 863a)와 제2 드라이빙 트랜지스터(861b 내지 863b)의 다른 일측 접합은 상기 양보조단(P830)과 상기 음보조단(N830) 중의 어느 하나에 전기적으로 연결되며, 앞의 드라이빙단에 대하여 반대로 연결된다. 이를 구체적으로 기술하면, 다음과 같다.

<61>       제1 및 제3 드라이빙단(861, 863)의 제1 드라이빙 트랜지스터(861a, 863a)는 상기 접지전압(VSS)과 상기 양보조단(P830) 사이에 형성되며, 상기 제2 드라이빙 트랜지스터(861b, 863b)는 상기 접지전압(VSS)과 상기 음보조단(M830) 사이에 형성된다.

<62>       한편, 제2 드라이빙단(862)의 제1 드라이빙 트랜지스터(862a)는 상기 접지전압(VSS)과 상기 음보조단(M830) 사이에 형성되며, 상기 제2 드라이빙 트랜지스터(862b)는 상기 접지전압(VSS)과 상기 양보조단(P830) 사이에 형성된다.

<63>       도 8a 및 도 8b에 도시되는 주파수 변환기의 구성 및 작용효과는, 도 3a 및 도 3b에 도시되는 실시예로부터 용이하게 이해될 수 있으므로, 그 구체적인 기술은 생략된다.

<64> 도 8a 및 도 8b의 실시예에는 발진신호의 수가 3인 경우가 예로서 기술되었으나, 도 5a 및 도 5b의 경우와 마찬가지로 확장가능하다.

<65> 본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

#### 【발명의 효과】

<66> 상기와 같은 다중 위상 믹서를 이용한 주파수 변환기에 의하면, 상대적으로 낮은 주파수를 가지는 클락신호에 대해서도, 수신되는 무선통신신호의 주파수를 현저히 하향시켜, 직류에 가까운 주파수를 가지는 출력신호를 생성할 수 있다. 따라서, 본 발명의 주파수 변환기는 상대적으로 비용과 소모 전력면에서 잇점이 있는 CMOS 기술로도 구현이 가능하다.

## 【특허청구범위】

## 【청구항 1】

주파수 변환기에 있어서,

소정의 발진주파수를 가지며, 순차적으로 위상이 쉬프트되는 제1 내지 제N(여기서, N은 3이상인 정수) 클락신호들을 발생하는 오실레이터로서, 상기 제i(여기서, i는 1 내지 N 중의 어느 하나) 클락신호는 제i 발진신호와 상기 제i 발진신호에 대하여 반전된 위상을 가지는 제i 반전 발진신호를 포함하는 상기 오실레이터; 및

소정의 무선통신신호를 수신하는 믹서로서, 상기 제1 내지 제N 클락신호를 이용하여, 상기 무선통신신호의 주파수를 하향 변조시켜 변조출력신호를 제공하는 상기 믹서를 구비하며,

상기 믹서는

소정의 전원전압과 양출력단 사이에 형성되는 제1 로드소자와, 상기 전원전압과 음출력단 사이에 형성되는 제2 로드소자를 가지는 로드부로서, 상기 양출력단과 상기 음출력단으로 제공되는 신호의 전압차에 의하여 상기 변조출력신호가 발생하는 상기 로드부;

상기 무선통신신호에 응답하는 입력부; 및

상기 입력부에 커플링되는 드라이빙부로서, 상기 제1 내지 제N 클락신호들에 응답하여 상기 제1 및 제2 로드소자에 흐르는 전류량을 제어하고, 궁극적으로 상기 변조출력신호를 발생시키는 상기 드라이빙부를 구비하는 것을 특징으로 하는 주파수 변환기.

**【청구항 2】**

제1 항에 있어서, 상기 입력부는

상기 무선통신신호에 응답하는 제1 내지 제N 소스단을 구비하며,

상기 드라이빙부는

제1 내지 제N 드라이빙단으로서, 제i 드라이빙단은 상기 제i 발진신호에 응답하는 제1 트랜지스터와 상기 제i 반전 발진신호에 응답하는 제2 트랜지스터를 포함하되, 상기 제1 트랜지스터 및 상기 제2 트랜지스터의 일측은 상기 제i 소스단에 제어되며, 다른 일측은 상기 양출력단 및 상기 음출력단 중의 어느하나의 쪽에 전기적으로 연결되되, 앞의 드라이빙단에 대하여 반대로 연결되는 상기 제1 내지 제N 드라이빙단을 구비하는 것을 특징으로 하는 주파수 변환기.

**【청구항 3】**

제1 항 또는 제2 항에 있어서, 상기 N은

3인 것을 특징으로 하는 주파수 변환기.

**【청구항 4】**

제1 항에 있어서,

상기 입력부는

상기 무선통신신호에 응답하는 제1 내지 제N 양소스단; 및

상기 무선통신신호에 대하여 반전된 위상을 가지는 반전 무선통신신호에 응답하는 제1 내지 제N 음소스단을 구비하며,

상기 드라이빙부는

제 1 내지 제N 플러스 드라이빙단으로서, 제i 플러스 드라이빙단은 상기 제i 발진 신호에 응답하는 제1 트랜지스터와 상기 제i 반전 발진신호에 응답하는 제2 트랜지스터를 포함하되, 상기 제1 트랜지스터 및 상기 제2 트랜지스터의 일측은 상기 제i 양소스단에 제어되며, 다른 일측은 상기 양출력단 및 상기 음출력단 중의 어느하나의 쪽에 전기적으로 연결되되, 앞의 플러스 드라이빙단에 대하여 반대로 연결되는 상기 제1 내지 제N 플러스 드라이빙단; 및

제1 내지 제N 마이너스 드라이빙단으로서, 제i 마이너스 드라이빙단은 상기 제i 발진신호에 응답하는 제3 트랜지스터와 상기 제i 반전 클락신호에 응답하는 제4 트랜지스터로서, 상기 제3 트랜지스터 및 상기 제4 트랜지스터의 일측은 상기 제i 음소스단에 제어되며, 다른 일측은 상기 양출력단 및 상기 음출력단 중의 어느하나의 쪽에 전기적으로 연결되되, 상기 제i 플러스 드라이빙단의 상기 제1 트랜지스터 및 상기 제2 트랜지스터에 대하여 상반되게 연결되는 상기 제1 내지 제N 마이너스 드라이빙단을 구비하는 것을 특징으로 하는 주파수 변환기.

#### 【청구항 5】

제4 항에 있어서, 상기 N은

3인 것을 특징으로 하는 주파수 변환기.

【청구항 6】

제1 항에 있어서, 상기 입력부는

상기 양출력단과 소정의 양보조단 사이에 형성되며, 상기 무선통신신호에 응답하는 제1 입력 트랜지스터;

상기 음출력단과 소정의 양보조단 사이에 형성되며, 소정의 반전 무선통신신호에 응답하는 제2 입력 트랜지스터로서, 상기 반전 무선통신신호는 상기 무선통신신호에 대하여 반전된 위상을 가지는 상기 제2 입력 트랜지스터;

상기 양출력단과 소정의 음보조단 사이에 형성되며, 상기 반전 무선통신신호에 응답하는 제3 입력 트랜지스터; 및

상기 음출력단과 상기 음보조단 사이에 형성되며, 상기 무선통신신호에 응답하는 제4 입력 트랜지스터를 구비하며,

상기 드라이빙부는

제1 내지 제N 드라이빙단으로서, 제i 드라이빙단은 상기 제i 발진신호에 응답하는 제1 드라이빙 트랜지스터와 상기 제i 반전 발진신호에 응답하는 제2 드라이빙 트랜지스터로서, 상기 제1 드라이빙 트랜지스터 및 상기 제2 드라이빙 트랜지스터는 일측이 궁극적으로 접지전압 쪽에 연결되며, 다른 일측은 궁극적으로 상기 양보조단 및 상기 음보조

단 중의 어느하나의 쪽에 전기적으로 연결되되, 앞단의 드라이빙단에 대하여 반대로 연결되는 상기 제1 내지 제N 드라이빙단을 구비하는 것을 특징으로 하는 주파수 변환기.

【청구항 7】

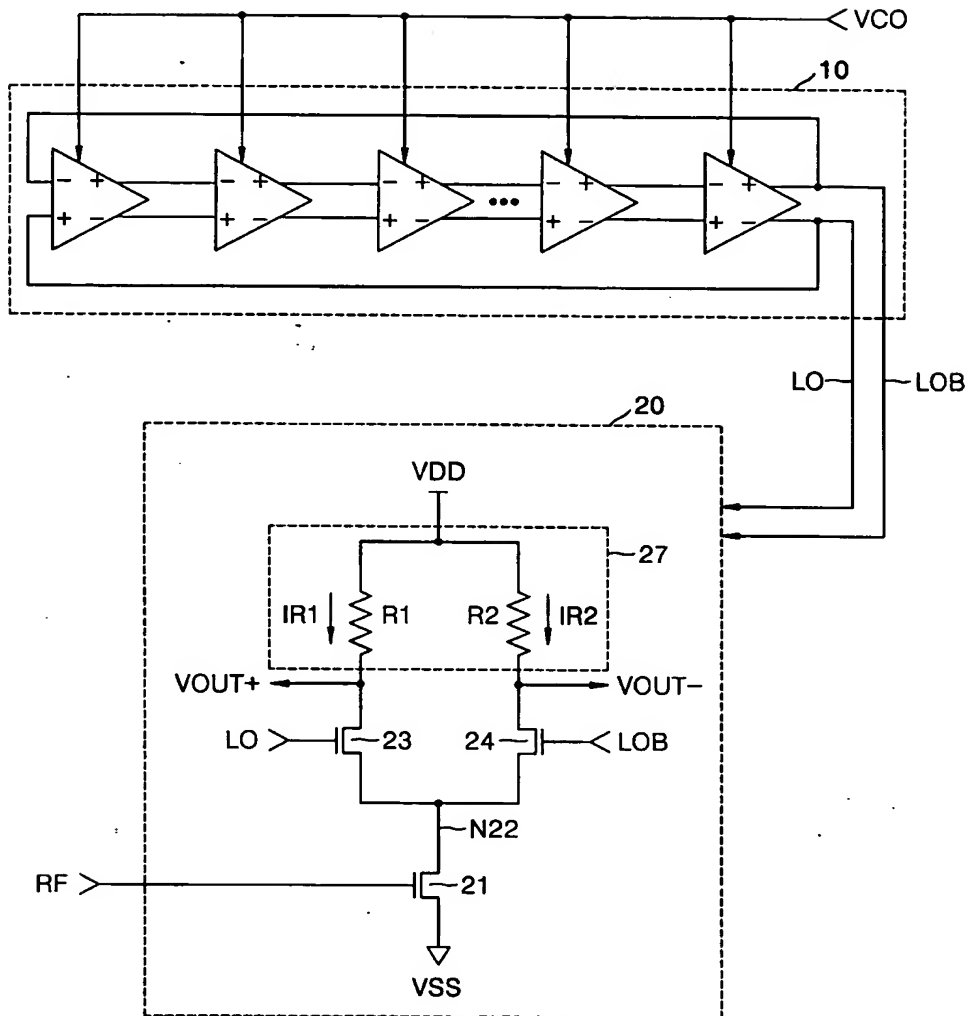
제6 항에 있어서, 상기 N은

3인 것을 특징으로 하는 주파수 변환기.

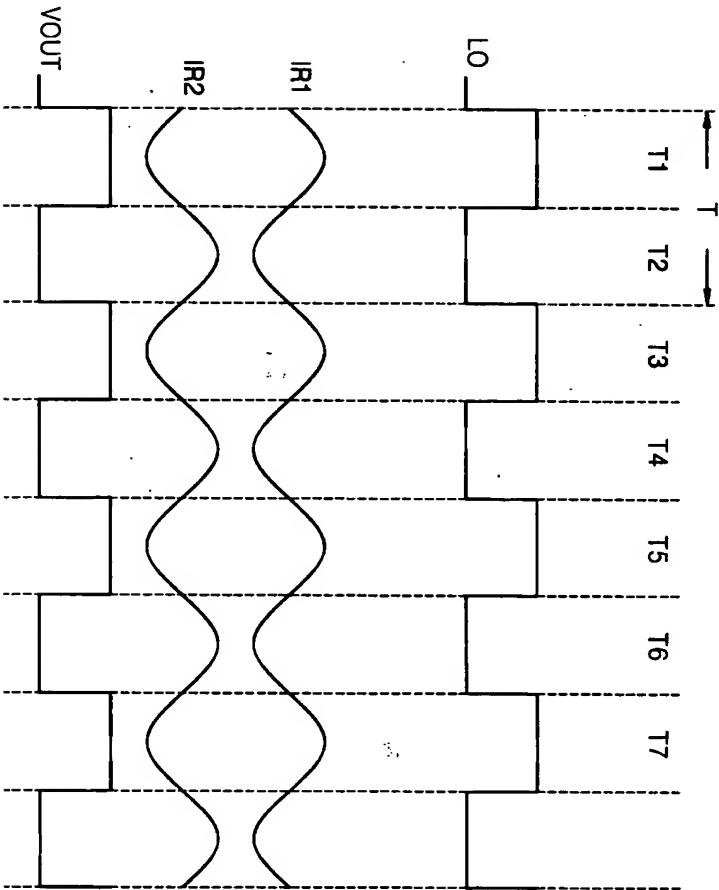


【도면】

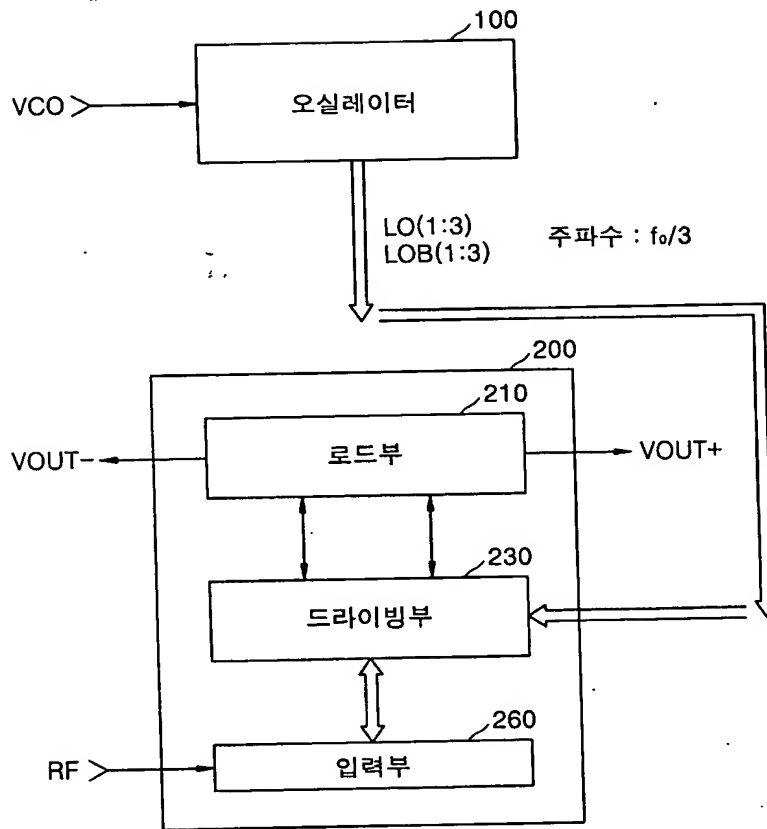
【도 1】



【도 2】

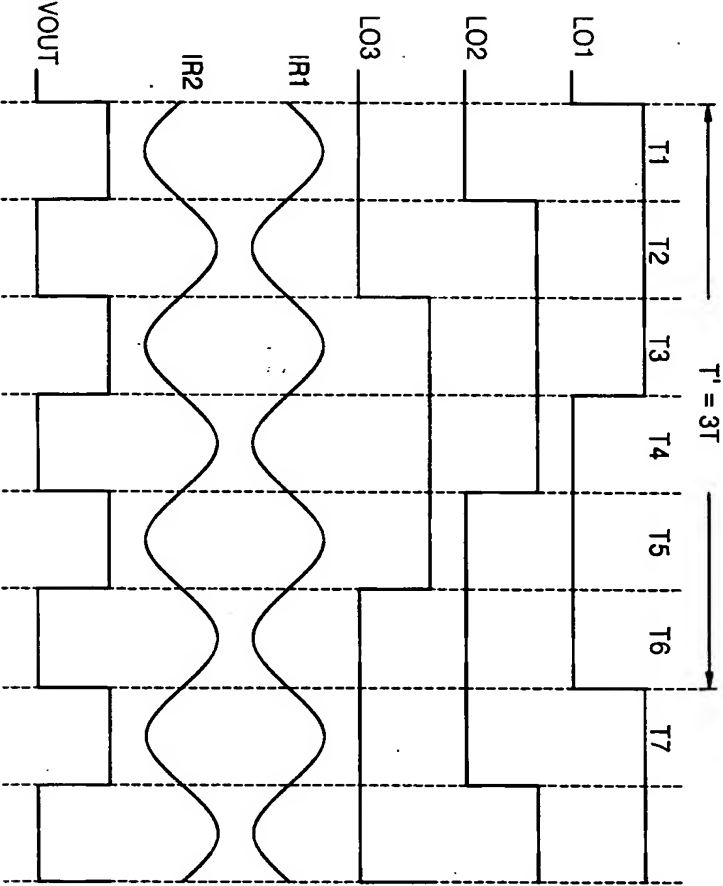


【도 3a】

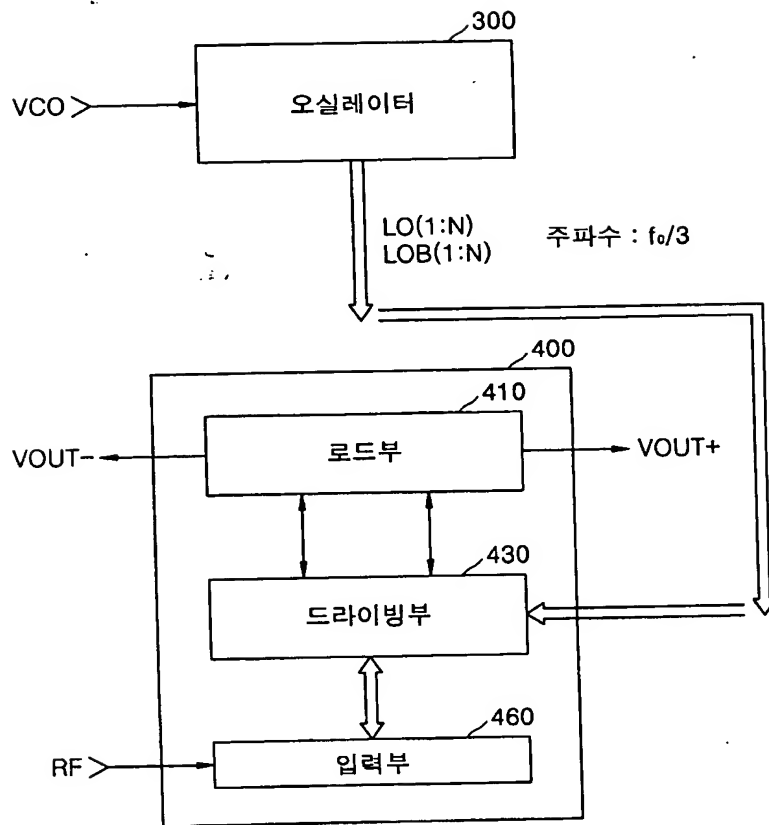




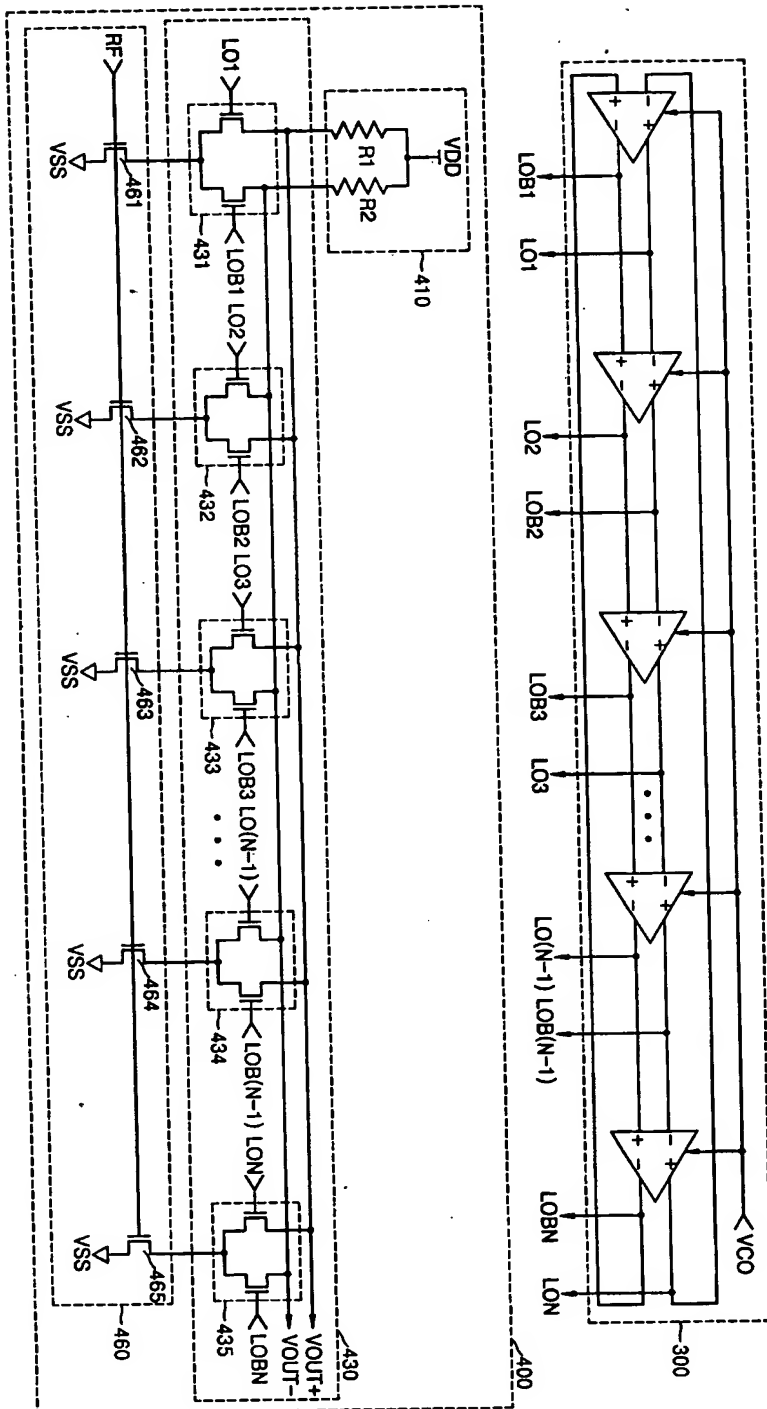
【图 4】



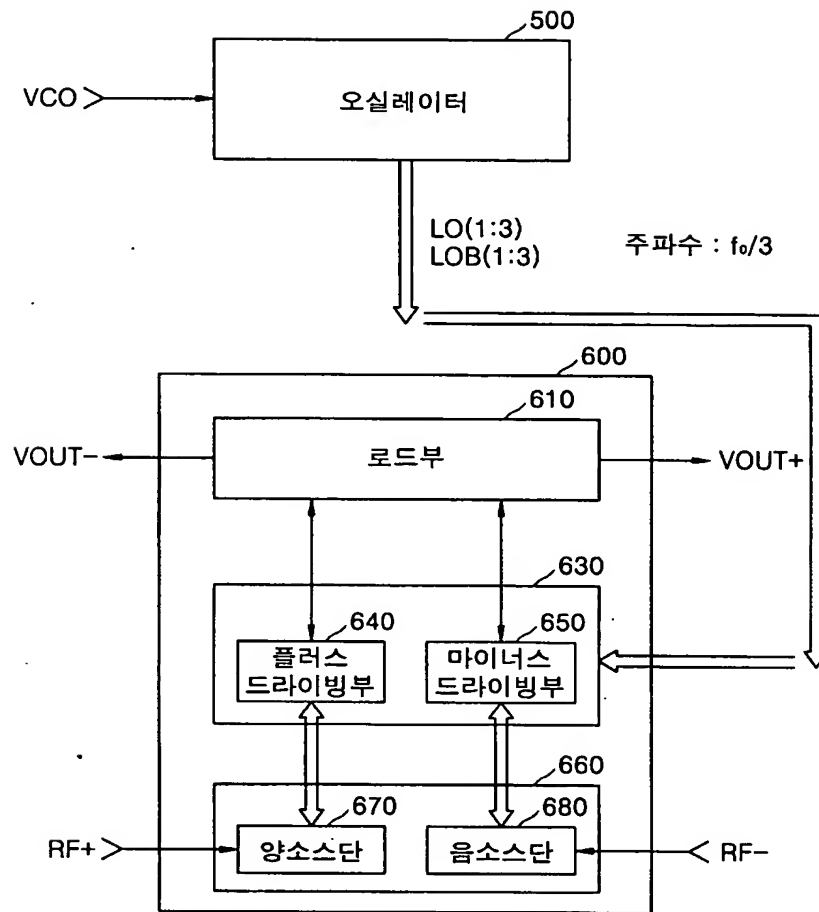
【도 5a】



【도 5b】

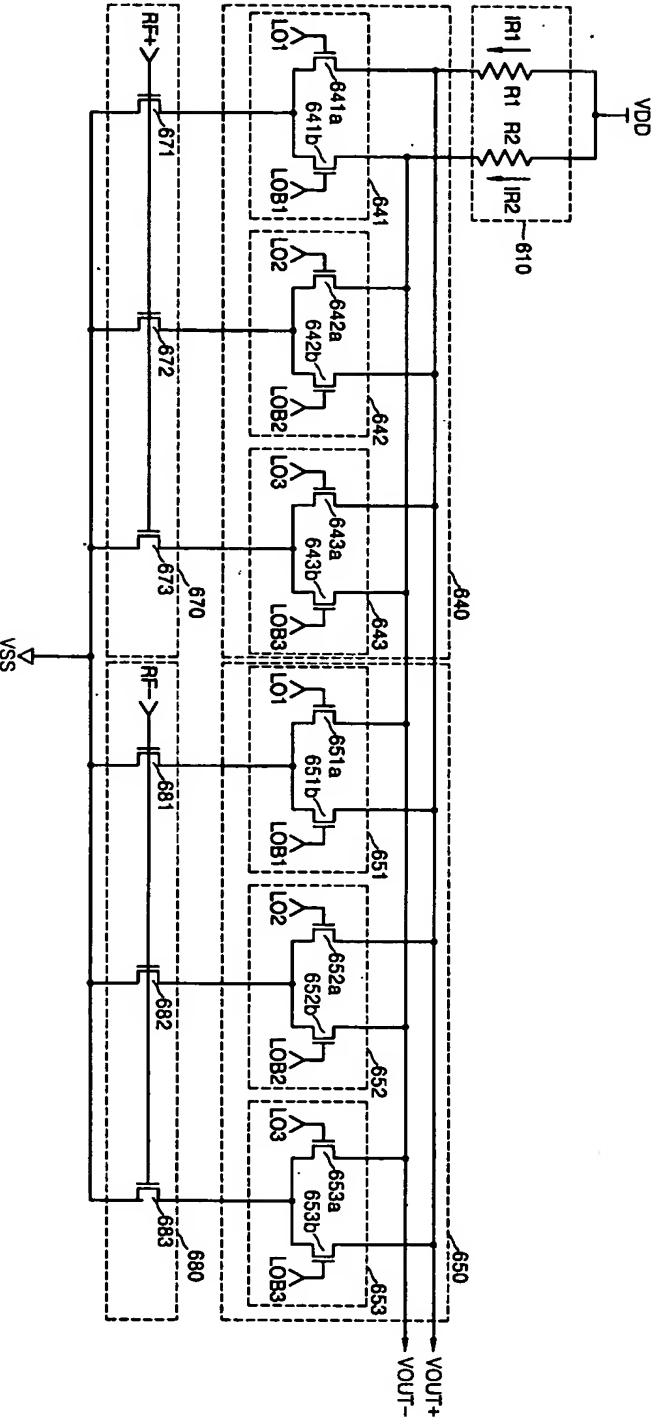


【도 6a】

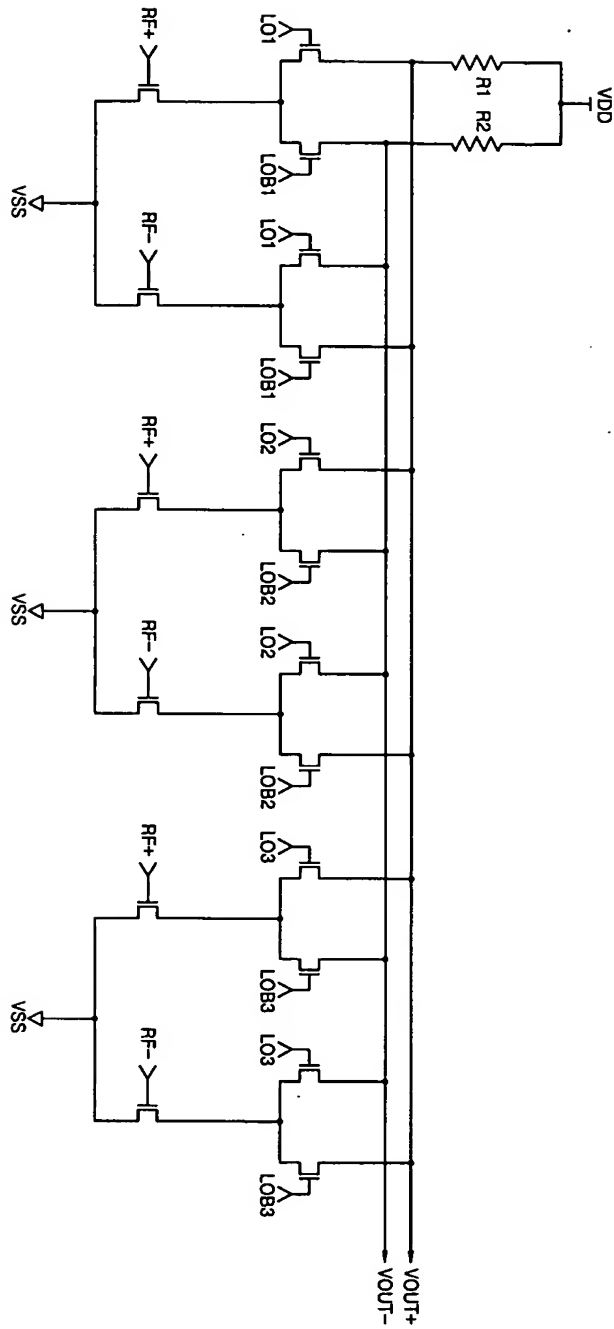




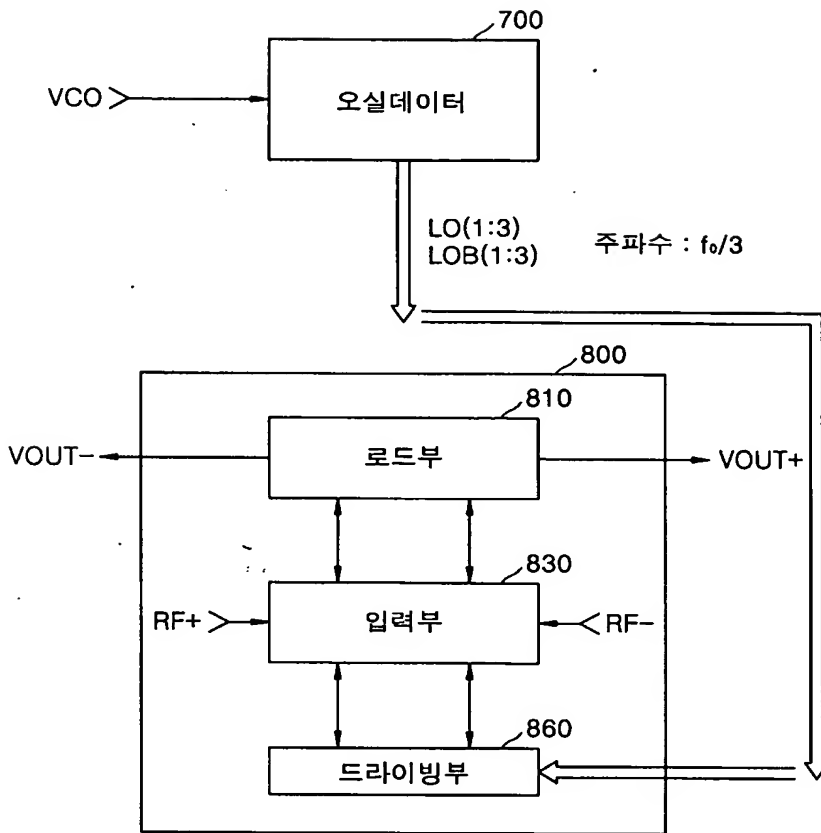
【도 6b】



【도 7】



【도 8a】



【도 8b】

